

(11)Publication number : 07-106872

(43)Date of publication of application : 21.04.1995

(51)Int.Cl.

H03F 3/45

(21)Application number : 05-274778

(71)Applicant : OLYMPUS OPTICAL CO LTD

(22)Date of filing : 07.10.1993

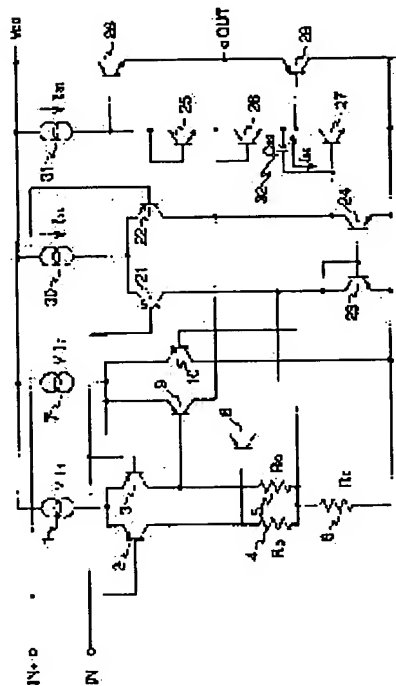
(72)Inventor : MATSUDA SEISUKE

(54) OPERATIONAL AMPLIFIER WITH HIGH SLEW RATE

(57)Abstract:

PURPOSE: To simply obtain the operational amplifier with high slew rate without impairing a characteristic in a small signal input state by turning off a current switch circuit section in the small signal input state and utilizing charge/ discharge of a phase compensation capacitor in a large signal input state.

CONSTITUTION: When a signal inputted to a noninverting input terminal IN+ is a small signal, transistors (TRs) 8, 9 being components of a differential switch circuit of a current switch circuit section are turned off and a TR 10 is turned on. Thus, in the small signal input state, the current switch circuit section is disconnected from an operational amplifier circuit section and it is operated singly. When an input is a large amplitude step signal, a power supply switch circuit section is turned on, and a current is supplied from a constant current source included in the current switch section to a differential input stage comprising TRs 21-24 of the operational amplifier circuit section. Thus, in the input state of a large amplitude signal, a charge/discharge current of a phase compensation capacitor C32 is increased to realize a high slew rate.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-106872

(43)公開日 平成7年(1995)4月21日

(51)Int.Cl.⁶

H 0 3 F 3/45

識別記号

A

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数1 F D (全 6 頁)

(21)出願番号 特願平5-274778

(22)出願日 平成5年(1993)10月7日

(71)出願人 000000376

オリンパス光学工業株式会社

東京都渋谷区幡ヶ谷2丁目43番2号

(72)発明者 松田 成介

東京都渋谷区幡ヶ谷2丁目43番2号 オリ

ンパス光学工業株式会社内

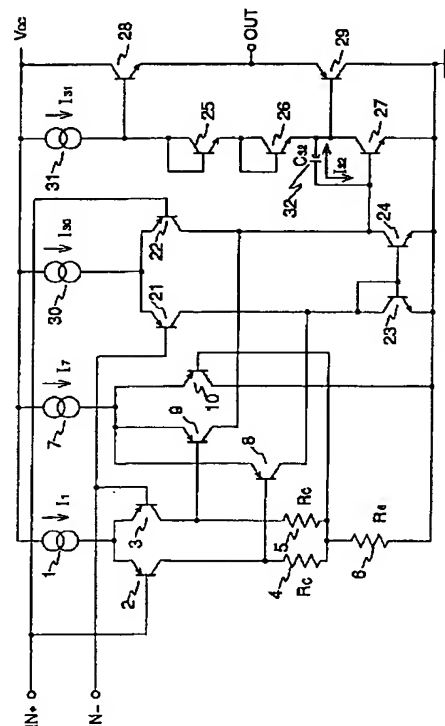
(74)代理人 弁理士 最上 健治

(54)【発明の名称】 高スルーレート演算増幅器

(57)【要約】

【目的】 高スルーレートが容易に得られ、且つスルーレートを任意に設定できるようにした演算増幅器を提供する。

【構成】 エミッタを共通にして定電流源1を介して電源に、各ベースを非反転入力端子1N+と反転入力端子1N-に、各エミッタを負荷抵抗4、5にそれぞれ接続したトランジスタ2、3と、負荷抵抗4、5の共通接続点と接地間に接続したレベルシフト用抵抗6と、エミッタを共通にして定電流源7を介して電源に接続し、各ベースをそれぞれトランジスタ2のコレクタ、トランジスタ3のコレクタ及び負荷抵抗4、5の共通接続点に接続したトランジスタ8、9、10とからなり、前記トランジスタ8、9、10の各コレクタを第1、第2、第3の電流端子とした電流スイッチ回路部を設け、第1及び第2の電流端子を演算増幅回路部の差動入力段に接続して演算増幅器を構成する。



1

【特許請求の範囲】

【請求項 1】 エミッタを共通にして第 1 の定電流源を介して電源に接続し、各ベースをそれぞれ第 1 及び第 2 の信号入力端子に接続した第 1 及び第 2 のトランジスタと、該第 1 及び第 2 のトランジスタのコレクタにそれぞれ一端を接続し、他端を共通に接続した第 1 及び第 2 の抵抗と、該第 1 及び第 2 の抵抗の共通接続点に一端を接続し、他端を接地した第 3 の抵抗と、エミッタを共通にして第 2 の定電流源を介して電源に接続し、各ベースをそれぞれ前記第 1 のトランジスタのコレクタ、前記第 2

のトランジスタのコレクタ及び前記第 1 及び第 2 の抵抗の共通接続点に接続した第 3、第 4 及び第 5 のトランジスタとからなり、該第 3、第 4 及び第 5 のトランジスタの各コレクタを、それぞれ第 1、第 2 及び第 3 の電流端子とした電流スイッチ回路部と、エミッタを共通にして第 3 の定電流源を介して電源に接続し、各ベースをそれぞれ第 2 及び第 1 の信号入力端子に接続した差動入力段を構成する第 6 及び第 7 のトランジスタと、コレクタとベースを前記第 6 のトランジスタのコレクタに接続し、エミッタを接地した第 8 のトランジスタと、コレクタを前記第 7 のトランジスタのコレクタに、ベースを前記第 8 のトランジスタのベースにそれぞれ接続し、エミッタを接地した第 9 のトランジスタと、ベースを前記第 9 のトランジスタのコレクタに接続し、エミッタを接地した第 10 のトランジスタと、該第 10 のトランジスタのコレクタに接続された負荷及び出力回路と、前記第 10 のトランジスタのコレクタとベース間に接続した位相補償用コンデンサとで構成された演算増幅回路部とからなり、

前記電流スイッチ回路部の第 1 の電流端子を前記第 8 のトランジスタのコレクタに、前記第 2 の電流端子を前記第 9 のトランジスタのコレクタに、前記第 3 の電流端子を接地電位にそれぞれ接続したことを特徴とする演算増幅器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、演算増幅器に関し、特に高スルーレートを実現できる演算増幅器に関する。

【0002】

【従来の技術】従来、演算増幅器には種々の構成のものが知られているが、一般に使用されている構成例を図 2 に示す。図 2 において、21 と 22 は差動入力段を構成する PNP トランジスタで、各エミッタは共通にして定電流源 30 を介して電源 V_{CC} に接続され、各ベースはそれぞれ反転入力端子 I_{N-} と非反転入力端子 I_{N+} に接続されている。23 と 24 はカレントミラー回路を構成する NPN トランジスタで、トランジスタ 23 のコレクタとベースはトランジスタ 21 のコレクタに接続され、エミッタは接地されており、トランジスタ 24 のコレクタはトランジスタ 22 のコレクタに、ベースはトランジスタ 23 のベースとコ

2

レクタにそれぞれ接続され、エミッタは接地されている。

【0003】25、26、27 は第 2 段を構成する PNP トランジスタで、トランジスタ 25 のコレクタとベースは定電流源 31 を介して電源 V_{CC} に接続されており、トランジスタ 26 のコレクタとベースはトランジスタ 25 のエミッタに接続されており、トランジスタ 27 のコレクタはトランジスタ 26 のエミッタに、ベースはトランジスタ 22 及び 24 の各コレクタにそれぞれ接続され、エミッタは接地されており、トランジスタ 27 のコレクタとベースとの間には位相補償用コンデンサ 32 が接続されている。28 と 29 は出力段を構成する NPN トランジスタと PNP トランジスタで、トランジスタ 28 のコレクタは電源 V_{CC} に、ベースはトランジスタ 25 のコレクタ及びベースに、エミッタは出力端子 OUT にそれぞれ接続されており、トランジスタ 29 のエミッタは出力端子 OUT に、ベースはトランジスタ 26 のエミッタ及びトランジスタ 27 のコレクタにそれぞれ接続され、コレクタは接地されている。

【0004】このように構成された演算増幅器を、図 3 の (A) に示すように、シンボル 100 で表し、その反転入力端子 I_{N-} と出力端子 OUT とを接続してボルテージフォロア回路を構成し、非反転入力端子 I_{N+} に正の大振幅ステップ信号 V_{IN} を入力すると、出力電圧 V_{OUT} の過渡応答は、図 3 の (B) に示すようになる。図 3 の (B) において、出力電圧 V_{OUT} が直線的に上昇する部分の傾き (dV_{OUT}/dt) をスルーレート (SR) と称する。このスルーレートの生じる原理は、次のように説明できる。ここで、定電流源 30 と 31 の電流値をそれぞれ I_{30} と I_{31} とし、 $I_{30} < I_{31}$ の関係が成立しているものとする。

【0005】前記図 2 に示した演算増幅器を、図 3 の (A) に示すように結線し、非反転入力端子 I_{N+} に正の大振幅ステップ信号 V_{IN} を入力すると、トランジスタ 21 がオン、トランジスタ 22 がオフになり、定電流源 30 の電流 I_{30} は全てトランジスタ 21 及び 23 に流れる。ここで、仮に、位相補償用コンデンサ 32 が接続されていないものとする、トランジスタ 27 のベースには電流が流入しないから、トランジスタ 27 はオフとなり、したがってトランジスタ 27 のコレクタ電位 V_{C27} は一瞬にして上昇し、それに伴い出力電圧 V_{OUT} も一瞬にして上昇する。これに対し、位相補償用コンデンサ 32 が接続されている場合には、トランジスタ 27 のコレクタ電位 V_{C27} は、位相補償用コンデンサ 32 を充電しながら上昇する。ここで、位相補償用コンデンサ 32 に流れ込む電流 I_{32} は、トランジスタ 24 のコレクタ電流 I_{C24} と等しいから、トランジスタ 23 と 24 とで構成されるカレントミラーで折り返された定電流 I_{30} となる。したがって、位相補償用コンデンサ 32 は定電流 I_{30} によって充電されるため、トランジスタ 27 のコレクタ電位 V_{C27} は直線的に上昇し、それに伴い出力電圧 V_{OUT} も直線的に上昇する。

3

【0006】一方、非反転入力端子 IN_+ に負の大振幅ステップ信号を入力した場合には、それぞれの動作は逆になり、位相補償用コンデンサ32は定電流 I_{30} によって放電されるため、トランジスタ27のコレクタ電位 V_{C27} は直線的に低下し、それに伴い出力電圧 V_{OUT} も直線的に低下する。

【0007】以上より、図2に示した演算増幅器のスルーレート SR は、位相補償用コンデンサ32を充放電する時間で決定され、該コンデンサ32の値を C_{32} とすると、次式(1)で表される。

$$SR = I_{30} / C_{32} \quad \cdots (1)$$

【0008】

【発明が解決しようとする課題】上記従来の演算増幅器において、高スルーレートのものを得ようとする、上記(1)式からわかるように、定電流源30の電流値 I_{30} を大きくするか、あるいは位相補償用コンデンサ32の値 C_{32} を小さくする等の手法が考えられる。しかしながら、単純に定電流源30の電流値 I_{30} や位相補償用コンデンサ32の値 C_{32} の定数を変えるだけでは、小信号入力時に回路の動作が不安定になるため、結局、電流値 I_{30} やコンデンサ容量値 C_{32} を設定すると共に回路全体に亘って再設計しなければならないという問題点があった。

【0009】本発明は、従来の演算増幅器における上記問題点を解消するためになされたもので、簡単に高スルーレートが得られ、且つスルーレートを任意に設定できるようにした演算増幅器を提供することを目的とする。

【0010】

【課題を解決するための手段及び作用】上記問題点を解決するため、本発明は、エミッタを共通にして第1の定電流源を介して電源に接続し、各ベースをそれぞれ第1及び第2の信号入力端子に接続した第1及び第2のトランジスタと、該第1及び第2のトランジスタのコレクタにそれぞれ一端を接続し、他端を共通に接続した第1及び第2の抵抗と、該第1及び第2の抵抗の共通接続点に一端を接続し、他端を接地した第3の抵抗と、エミッタを共通にして第2の定電流源を介して電源に接続し、各ベースをそれぞれ前記第1のトランジスタのコレクタ、前記第2のトランジスタのコレクタ及び前記第1及び第2の抵抗の共通接続点に接続した第3、第4及び第5のトランジスタとからなり、該第3、第4及び第5のトランジスタの各コレクタを、それぞれ第1、第2及び第3の電流端子とした電流スイッチ回路部と、エミッタを共通にして第3の定電流源を介して電源に接続し、各ベースをそれぞれ第2及び第1の信号入力端子に接続した差動入力段を構成する第6及び第7のトランジスタと、コレクタとベースを前記第6のトランジスタのコレクタに接続し、エミッタを接地した第8のトランジスタと、コレクタを前記第7のトランジスタのコレクタに、ベースを前記第8のトランジスタのベースにそれぞれ接続し、エミッタを接地した第9のトランジスタと、ベースを前

4

記第9のトランジスタのコレクタに接続し、エミッタを接地した第10のトランジスタと、該第10のトランジスタのコレクタに接続された負荷及び出力回路と、前記第10のトランジスタのコレクタとベース間に接続した位相補償用コンデンサとで構成された演算増幅回路部とからなり、前記電流スイッチ回路部の第1の電流端子を前記第8のトランジスタのコレクタに、前記第2の電流端子を前記第9のトランジスタのコレクタに、前記第3の電流端子を接地電位にそれぞれ接続して演算増幅器を構成するものである。

【0011】このように構成した演算増幅器においては、小信号入力時には、電流スイッチ回路部がオフとなり、電流スイッチ回路部と演算増幅回路部は切り離され、演算増幅回路部単独で動作する。一方、入力端子に大振幅信号が入力されると、電流スイッチ回路部がオンし、演算増幅回路部の差動入力段に電流スイッチ回路部に含まれる定電流源より電流が供給される。それにより大振幅信号入力時には、位相補償用コンデンサを充放電する電流が増加し、高スルーレートが実現できる。またスルーレートは、電流スイッチ回路部に含まれる定電流源の電流値を変えることにより、任意に設定することができる。

【0012】

【実施例】次に実施例について説明する。図1は、本発明に係る演算増幅器の実施例を示す回路構成図で、図2に示した従来例と同一又は対応する要素には同一符号を付し、その説明は省略する。図1において、1は一端を電源 V_{CC} に接続した定電流源で、同一特性のPNPトランジスタ2、3で構成される差動入力段のエミッタ共通接続点に接続され、該差動入力段に電流を供給するようになっている。そしてトランジスタ2のベースは非反転入力端子 IN_+ に、トランジスタ3のベースは反転入力端子 IN_- にそれぞれ接続され、また各トランジスタ2、3のエミッタは、それぞれ負荷抵抗4、5を介して、接地されたレベルシフト用抵抗6に接続されている。

【0013】8、9、10は差動スイッチ回路を構成するPNPトランジスタで、トランジスタ8のベースはトランジスタ2のコレクタに、コレクタは構成要素21~32で構成されている演算増幅回路部のトランジスタ23のコレクタにそれぞれ接続され、トランジスタ9のベースはトランジスタ3のコレクタに、コレクタは演算増幅回路部を構成するトランジスタ24のコレクタにそれぞれ接続され、トランジスタ10のベースは負荷抵抗4、5とレベルシフト用抵抗6との接続点に接続され、コレクタは接地されており、各トランジスタ8、9、10のエミッタは共通にして定電流源7を介して電源 V_{CC} に接続されている。そして、定電流源7は前記トランジスタ8、9、10からなる差動スイッチ回路に流れる電流を設定するようになっている。また上記各要素1~10からなる回路で、

5

従来例と同じ構成の演算増幅回路部に対する電流スイッチ回路部を構成している。

【0014】次に、このように構成した演算増幅器において、図3の(A)に示すように、反転入力端子IN₋と出力端子OUTを接続(ボルテージフォロア回路)し、非反転入力端子IN₊に信号を入力したときの動作について説明する。但し、定電流源1と7の電流値をそれぞれI₁、I₇とし、負荷抵抗4、5の抵抗値をR_C、レベルシフト用抵抗6の抵抗値をR₆とする。

【0015】小信号入力時でイマジナリーショートの場合が成り立つ時には、トランジスタ2と3には等しい電流I₁/2が流れ、トランジスタ8と9のベース電位V_{B8}とV_{B9}は等しくなる。このとき、トランジスタ8、9、10のベース電位V_{B8}、V_{B9}、V_{B10}は、それぞれ次式(2)、(3)で表される。

$$V_{B8}=V_{B9}=I_1 R_6 + I_1 \cdot R_C / 2 \quad \cdots (2)$$

$$V_{B10} = I_1 R_6 \quad \cdots (3)$$

ここで、構成要素21~32で構成される演算増幅回路部の入力範囲において、トランジスタ2、3、8、9が飽和に入らないように、定電流源1の電流値I₁とレベルシフト用抵抗6の抵抗値R₆の関係を、I₁R₆=400mV程度に設定する必要がある。上記(2)、(3)式よりわかるように、トランジスタ8と9のベース電位V_{B8}とV_{B9}は、基準電圧であるトランジスタ10のベース電位V_{B10}に比べ差電圧ΔV_Bだけ高く、この差電圧ΔV_Bは次式(4)で表される。

$$\Delta V_B = I_1 \cdot R_C / 2 \quad \cdots (4)$$

ここで、ΔV_B≒150mVと設定すると、トランジスタ8と9はオフ、トランジスタ10はオンとなり、定電流I₇は全て、コレクタを接地したトランジスタ10に流れる。したがって、小信号入力時では、電流スイッチ回路部は演算増幅回路部と切り離され、演算増幅回路部は単独で動作する。

【0016】これに対し、非反転入力端子IN₊に正の大振幅ステップ信号が入力されたときは、電流スイッチ回路部と演算増幅回路部の動作は次のようになる。すなわち電流スイッチ回路部では、トランジスタ2はオフ、トランジスタ3はオンとなり、定電流源1の電流I₁は全てトランジスタ3に流れる。これによりトランジスタ8、9、10のベース電位V_{B8}、V_{B9}、V_{B10}は、次式(5)、(6)、(7)のように表される。

$$I_{32}=I_{C21}+I_{C8}=I_{C22}+I_{C9}=I_{30}+I_7/2 \quad \cdots (11)$$

したがって、スルーレートSRは次式(12)で表される。

$$SR = I_{30}/C_{32} + I_7/2 C_{32} \quad \cdots (12)$$

上記(1)、(12)からわかるように、本実施例のスルーレートSRは、従来例のものに比較して、I₇/2の分だけ大きくなる。

【0019】以上のように、本実施例においては、小信号入力時の特性が変化しないため、簡単に高スルーレ

6

$$V_{B8} = I_1 R_6 \quad \cdots (5)$$

$$V_{B9} = I_1 (R_6 + R_C) \quad \cdots (6)$$

$$V_{B10} = I_1 R_6 \quad \cdots (7)$$

上記(5)、(6)、(7)式からわかるように、トランジスタ8と10のベース電位V_{B8}とV_{B10}は等しく、トランジスタ9のベース電位V_{B9}は、V_{B8}、V_{B10}より差電圧ΔV_B'=I₁R_C=300mVだけ高い。したがって、トランジスタ8と10はオンし、トランジスタ9はオフする。

【0017】一方、演算増幅回路部の構成要素21~24で構成される差動入力段では、トランジスタ21がオン、トランジスタ22がオフとなり、定電流I₃₀はトランジスタ21に流れる。トランジスタ23のコレクタ電流I_{C23}は、トランジスタ21のコレクタ電流I_{C21}と電流スイッチ回路部のトランジスタ8のコレクタ電流I_{C8}の和で、次式(8)で表される。

$$I_{C23} = I_{C21} + I_{C8} \\ = I_{30} + I_7 / 2 \quad \cdots (8)$$

ここで、位相補償用コンデンサ32の充電電流I₃₂は、トランジスタ23のコレクタ電流I_{C23}と等しいから、この充電電流I₃₂は次式(9)で表される。

$$I_{32} = I_{C21} + I_{C8} \\ = I_{30} + I_7 / 2 \quad \cdots (9)$$

【0018】そして、非反転入力端子IN₊に負の大振幅ステップ信号が入力されたときの動作は、次のようになる。すなわち、電流スイッチ回路部では、トランジスタ2がオン、トランジスタ3がオフし、それによりトランジスタ9と10がオンし、それぞれI₇/2の電流を流し、トランジスタ8はオフとなる。一方、演算増幅回路部の差動入力段では、トランジスタ21がオフ、トランジスタ22がオンとなり、定電流I₃₀はトランジスタ22に流れる。ここで、トランジスタ24には電流が流れ込まないから、トランジスタ22のコレクタ電流I_{C22}とトランジスタ9のコレクタ電流I_{C9}が位相補償用コンデンサ32の放電電流I₃₂となり、この放電電流I₃₂は次式(10)で表される。

$$I_{32} = I_{C22} + I_{C9} \\ = I_{30} + I_7 / 2 \quad \cdots (10)$$

上記(9)、(10)式より、大振幅ステップ信号入力時の位相補償用コンデンサ32の放電電流I₃₂は、次式(11)となる。

トを実現できる。更に、定電流源7の電流値I₇を変えることにより、スルーレートを任意に設定することができる。

【0020】

【発明の効果】以上実施例に基づいて説明したように、本発明によれば、小信号入力時の特性を損なうことなく、簡単に高スルーレートの演算増幅器を実現することができる。更に、電流スイッチ回路部に含まれる定電流

源の値を変えることにより、スルーレートを任意に設定することができる。

【図面の簡単な説明】

【図 1】本発明に係る高スルーレート演算増幅器の実施例を示す回路構成図である。

【図 2】従来の演算増幅器の構成例を示す回路構成図である。

【図 3】演算増幅器におけるスルーレートを説明するための図、及び大振幅ステップ信号入力時の過渡応答波形を示す図である。

【符号の説明】

1 定電流源

2, 3 差動入力段を構成するPNPトランジスタ

4, 5 負荷抵抗

6 レベルシフト用抵抗

7 定電流源

8, 9, 10 差動スイッチ回路を構成するPNPトランジスタ

21, 22, 23, 24 差動入力段を構成するPNP及びNPNトランジスタ

25, 26, 27 第2段を構成するNPNトランジスタ

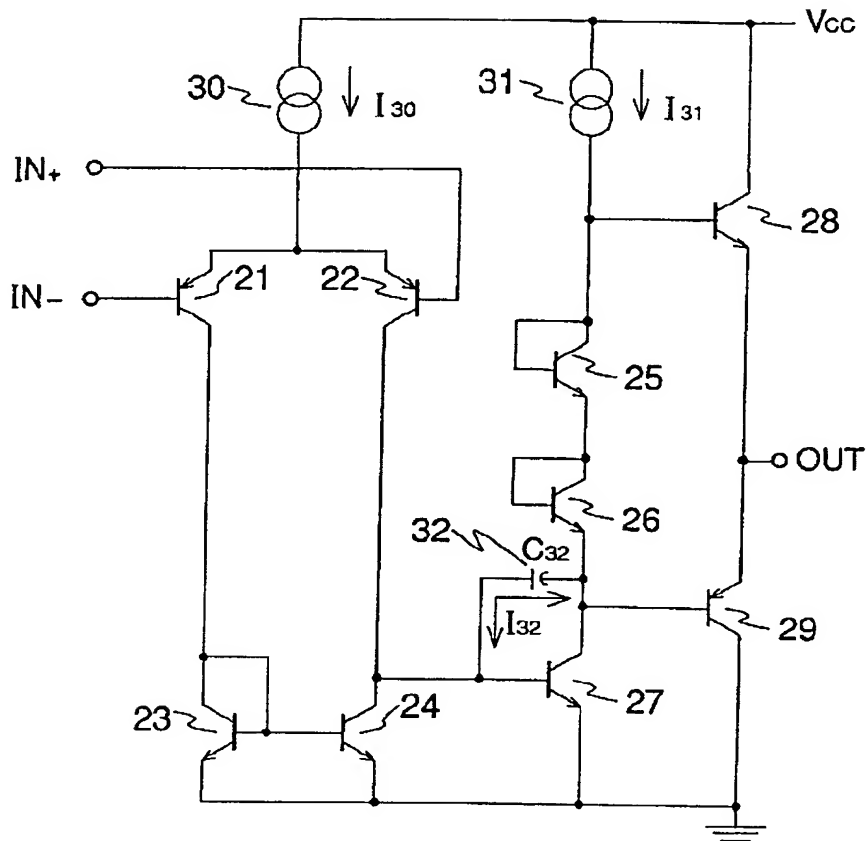
28, 29 出力段を構成するNPN及びPNPトランジスタ

10 タ

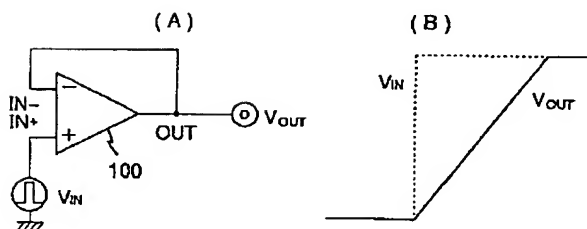
30, 31 定電流源

32 位相補償用コンデンサ

【図 2】



【図 3】



【図 1】

